



基于FPGA 软硬件兼通的系统人才培养的探讨

天津大学计算机学院

郭炜

weiguo@tju.edu.cn



嵌入式系统联谊会
www.esbf.org.cn



提纲

- 高校教学实验的定位
- 高校教学实验的现状
- 教学实验经验分享



Post-PC Era

- 后-PC时代的关键技术是嵌入式系统
- 嵌入式系统的核心是：系统级芯片SoC + 操作系统
- 最需要的是软硬兼通的系统人才
- 教学要跟上时代发展的步伐



人才需求

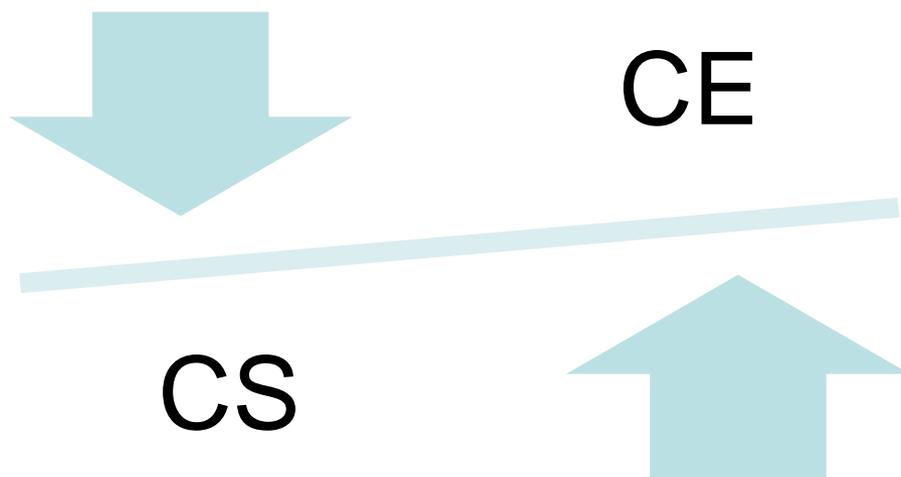


- 系统设计人才
 - 国际市场紧缺
 - 国内市场没有供给
- 高水平软件人才
 - 没有硬件无法设计好软件
 - 没有硬件无法设计好系统
- 高水平硬件人才
 - 硬件理解程度决定软件、系统的设计能力
 - 会做CPU不难，难在会做“高效能CPU”



国内计算机专业教学现状

- 软多、硬少，特别是“计算机信息技术”为多



- 缺少创新型的实验教师



国内教学模式

- 突出原理性知识，缺乏工程性方法
 - 操作系统原理实验
 - 同步与异步电路设计风格
 - 触发器（FF）与锁存器（latch）
- 缺少知识性和创新性
 - J-K触发器
 - 红绿灯反复做几次
- 授课课时太多，缺少课外创新实践活动



国内教学模式

- 对于分析式教学方法来说，虽然学生理解了系统原理，但是仍然难于重新构造系统结构。
- 只有通过综合式教学方法，才能使得学生具有重新构造系统结构的能力。



国内教学实验现状

- **实验技术相对落后**
 - 数字逻辑、计算机组成原理、VLSI设计、操作系统原理等实验所使用的实验设备，大多均采用小规模集成电路、多个独立的实验、软硬件分离的实验方法
- **学生无法建立系统的概念**
 - 实验课程采用了各自独立的实验系统，学生很难建立这些课程及实验间的关联性，无法建立完整的嵌入式系统的概念。

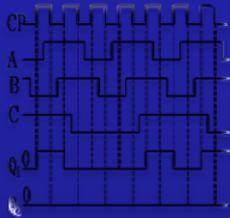


强化软硬结合，提高系统能力

- 虽然数字逻辑、计算机组成原理、计算机系统结构、数字信号处理、操作系统原理是独立的课程，通过这样一个统一实验系统的使用，就自然地将这些课程串起来并让学生充分地体会到各课程间的关联性。



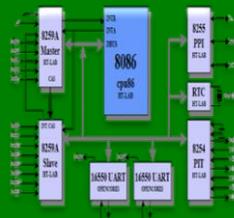
本科生：基于FPGA的统一实验系统



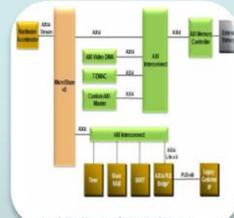
Digital Logic Design



Digital Signal Processing



Computer Organization or Microcomputer Principle



Embedded System Design



Embedded OS





开放的实验环境



- 灵活的实验环境，改变工程教育的形态。
 - 每两人一块**FPGA**开发板，想做就能做；实验地点不再受限制，能上网就能做硬件实验。
- 理论教学和工程实践的衔接，基础和创新的统一。
 - 数字信号处理，算法优化与嵌入式实现的考虑
 - 允许学生失败，提供创新机会
 - 实践是创新的源泉



有待完善的实验体系



- 目前Xilinx提供的实验内容，还是每门课独立的，缺少连贯性，缺少系统设计及集成方面的能力训练。
- 需要“Integration”，“SOPC”，应对由于后-PC时代嵌入式系统在SoC技术上的出现及扩展。
- 但是，由于高校考核体制等“现实问题”，高校缺少“高水平”的实验教师，缺少不断改进实验内容以适应培养新一代工程师的需要的实验教师。



校企合作尤为重要

- 学校最缺的不是经费
- 大学计划是否还停留在仅仅是捐赠**FPGA**开发板？

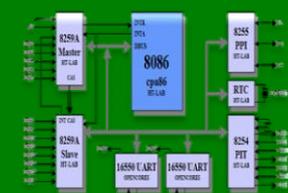


研究生：ESL设计平台

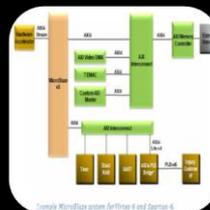
- 法国TIMA Lab开源ESL设计软件
- 重点在SoC架构设计
- 加强系统集成能力的训练
- 提供科研与创新的平台



Digital Signal
Processing



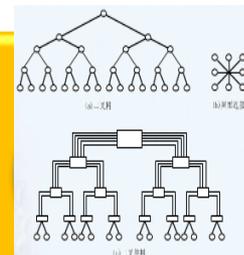
Computer
Organization
or
Microcomputer
Principle



Embedded
System
Design



Embedded OS

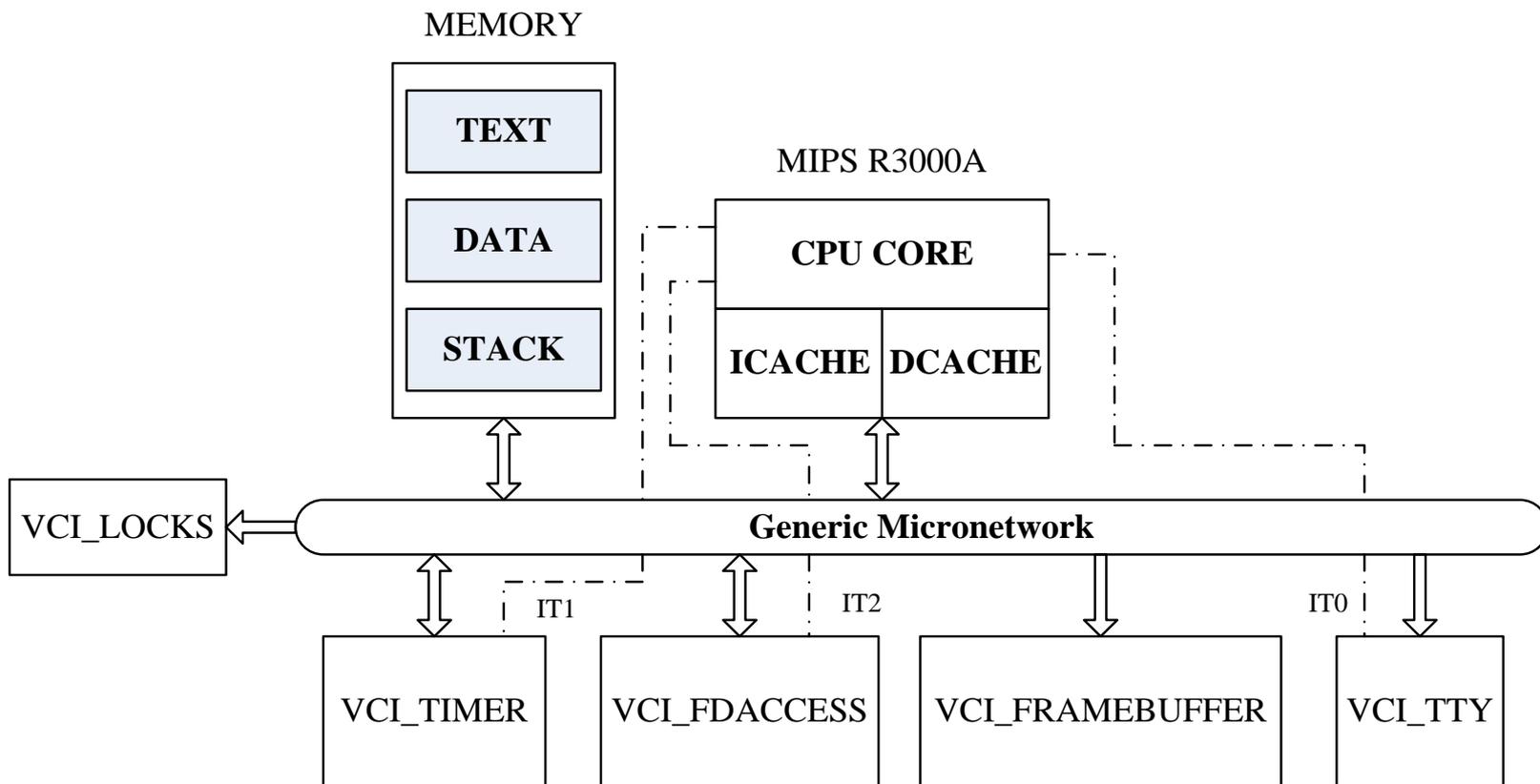


Parallel
Computing



实验一

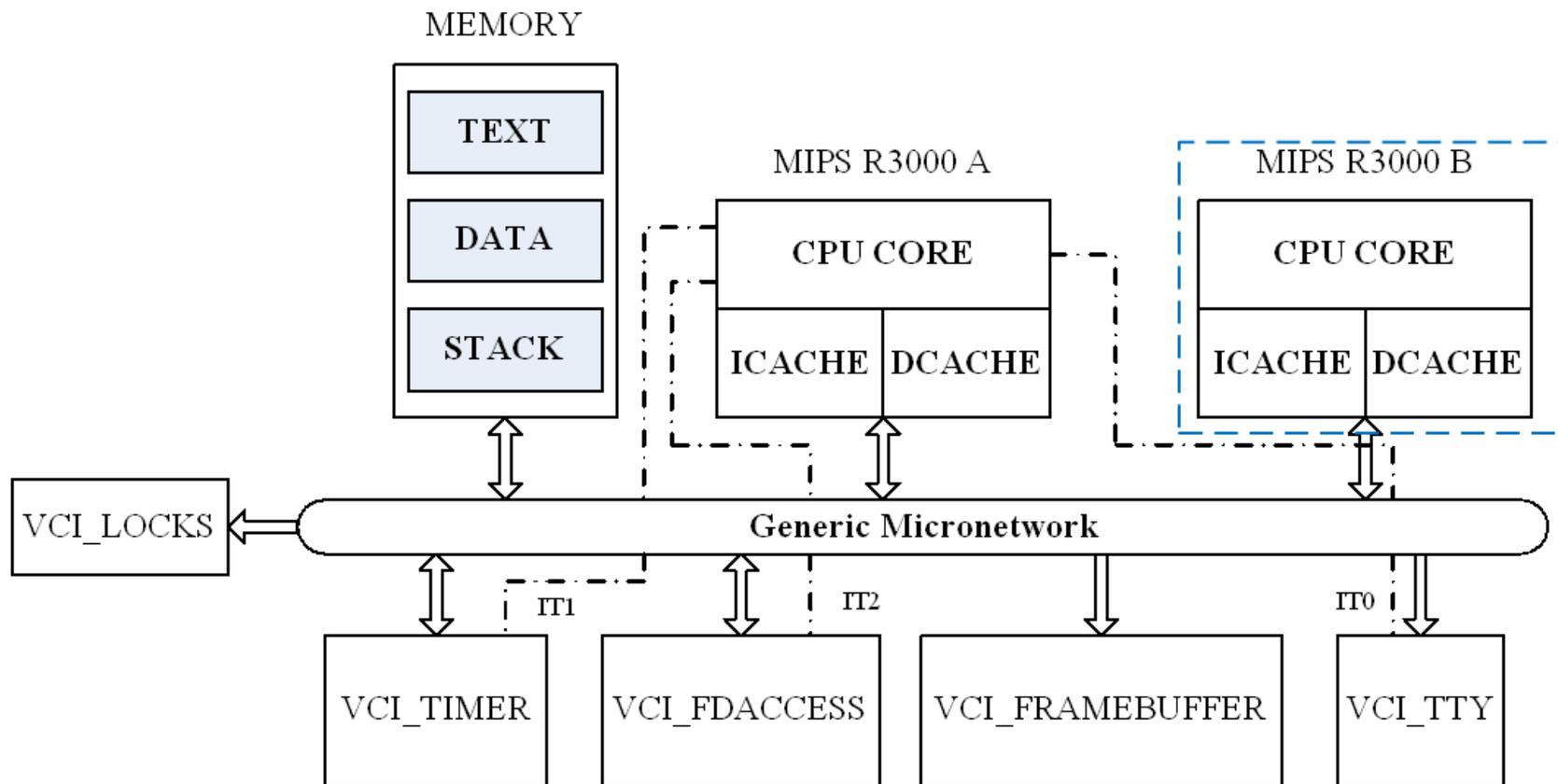
- 构建单核SoC，实现MJPEG解码





实验二

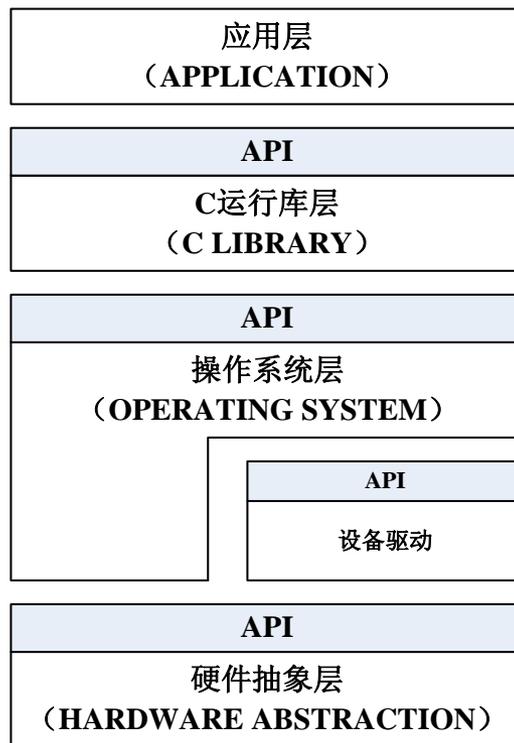
- 构建MPSoC，实现MJPEG解码





实验三

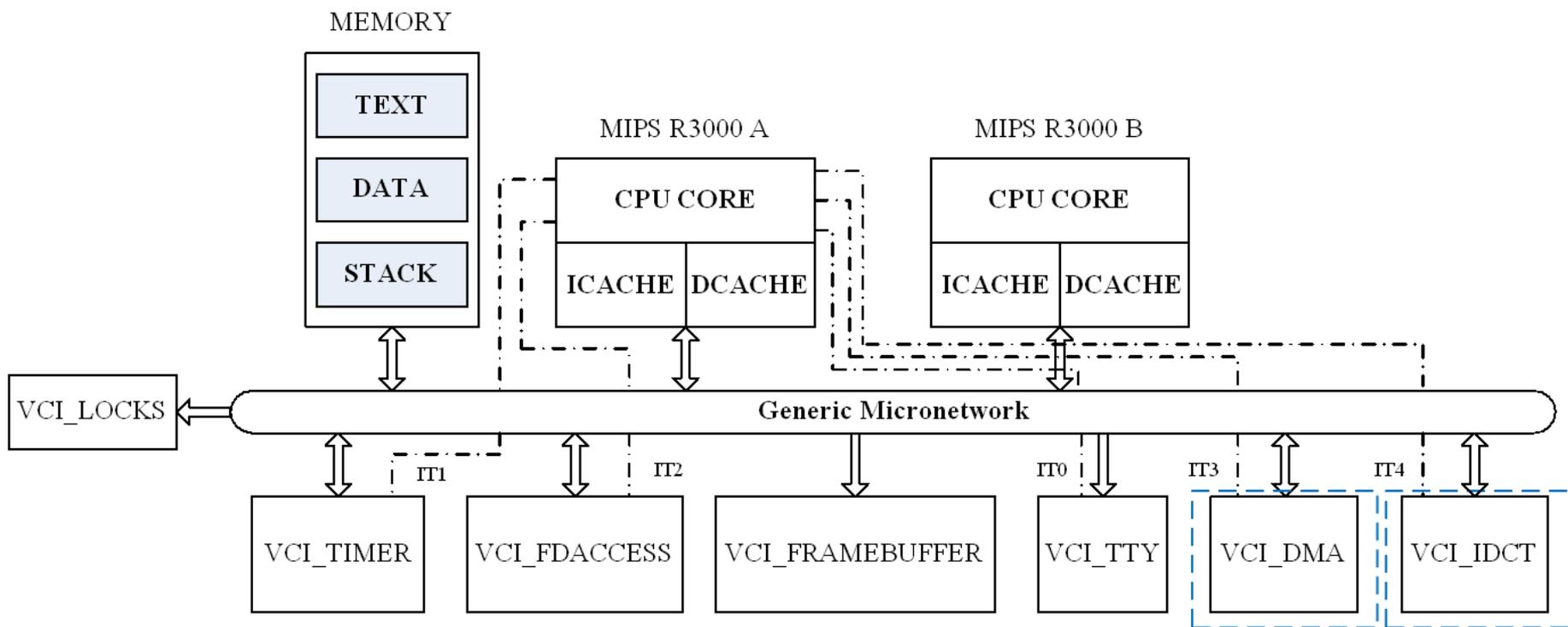
- 系统软件开发 - 嵌入式操作系统及设备驱动设计，实现MJPEG解码





实验四

• MPSoC系统优化，实现MJPEG解码





The screenshot shows a Linux desktop environment. At the top, there is a menu bar with 'Applications', 'Places', and 'System'. The main window is a terminal window titled 'top.cpp (~/Programfiles/projet_soc/TP/TP0/HW) - gedit'. The terminal output includes:

```
[main] S0I marker found
[main] APPO marker found
[main] DQT marker found
[main] DQT marker found
[main] S0FO marker found
[main] DHT marker found
[main] DHT marker found
[main] DHT marker found
[main] DHT marker found
[main] S0S marker found
[main] 576 MCU to unpack
Image 1 : 46537 ms
Image 2 : I[main] E0I marker f
[main] S0I marker found
[main] APPO marker found
[main] DQT marker found
[main] DQT marker found
[main] S0FO marker found
[main] DHT marker found
[main] DHT marker found
[main] DHT marker found
[main] DHT marker found
[main] S0S marker found
[main] 576 MCU to unpack
Image 2 : I|
```

Below the terminal, there is a small window showing a cartoon squirrel. The terminal also shows the following code and output:

```
2>&l
/home/vlsi/Programfiles/projet_soc/TP/TP0/HW
gcc -O2 -shared -rdynamic -o scheduling-5085-0.so .libs/scheduling-5085-0.o
/home/vlsi/Programfiles/projet_soc/TP/TP0/HW
gcc -O2 -shared -rdynamic -o scheduling-5085-0.so .libs/scheduling-5085-0.o
Warning: section .bss not loadable, not loaded
```

The code block below the warning is:

```
vgmn.p_clk(signal_
vgmn.p_resetrn(signal_resetrn);

vgmn.p_to_initiator[0](signal_vci_m0);
vgmn.p_to_initiator[1](signal_vci_inv_vcimultiram);
vgmn.p_to_initiator[2](signal_vci_inv_fd_access); //fd_access是一个控制模块, 将其initiator信号一端与总线相连

vgmn.p_to_target[0](signal_vci_inv_m0);
vgmn.p_to_target[1](signal_vci_vcimultiram);
```

The terminal status bar shows 'C++', 'Tab Width: 8', 'Ln 155, Col 13', and 'INS'. The taskbar at the bottom shows several open windows: 'HW - File...', 'top.cpp (...)', 'mips (~/...', 'segment...', 'vlsi@vlsi...', 'xterm', and 'Untitled ...'.

圆满完成。

但是，ESL平台并不能完全可以取代FPGA平台。



- 国家：建立创新人才成长环境，服务国家科教兴国战略和人才强国战略。教改，卓越工程培养计划。
- 老师：良心活
- 企业：双赢



欢迎批评指正!